

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-211635

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H02M 3/07

(21)Application number : 2000-016171

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 25.01.2000

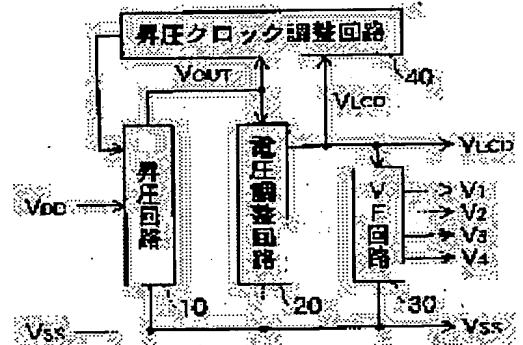
(72)Inventor : YASUE TADASHI

(54) DC-DC VOLTAGE SET-UP METHOD AND POWER SUPPLY CIRCUIT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DC-DC voltage step-up method which can reduce power consumption by detecting a margin of set-up voltage even when display mode or display content of liquid crystal panel are changed.

SOLUTION: The DC-DC voltage step-up method comprises the step (a) for generating a step-up voltage by setting up an input voltage using a clock signal, the step (b) for comparing the set-up voltage with at least one predetermined voltage and (c) for adjusting the frequency of clock signal used in the step (a) based on the comparison result in the step (b) or fixing the clock signal for controlling at least one switching element.



LEGAL STATUS

[Date of request for examination]

31.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] (a) The step which generates a pressure-up electrical potential difference by carrying out the pressure up of the input voltage using a clock signal, (b) A step [at least one predetermined electrical potential difference / electrical potential difference / said / pressure-up], (c) The DC-DC pressure-up approach characterized by providing the step which fixes the clock signal which adjusts the frequency of the clock signal used in a step (a) based on the comparison result in a step (b), or controls at least one switching element.

[Claim 2] The DC-DC pressure-up approach according to claim 1 characterized by including the step to which the pressure-up scale factor of the input voltage in a step (a) is changed by fixing the clock signal with which a step (c) controls at least one switching element used in a step (a).

[Claim 3] (a) The step which generates a pressure-up electrical potential difference by carrying out the pressure up of the input voltage using a clock signal, (b) The step which generates the stable operating voltage using said pressure-up electrical potential difference, (c) The step which detects the margin electrical potential difference between said pressure-up electrical potential differences and said operating voltage, (d) The DC-DC pressure-up approach characterized by providing the step which fixes the clock signal which adjusts the frequency of the clock signal used in a step (a) based on the detection result in a step (c), or controls at least one switching element.

[Claim 4] The DC-DC pressure-up approach according to claim 3 characterized by including the step to which the pressure-up scale factor of the input voltage in a step (a) is changed by fixing the clock signal with which a step (d) controls at least one switching element used in a step (a).

[Claim 5] The step to which a step (d) lowers one step of pressure-up scale factors including a step [electrical potential difference / said / margin / the 1st predetermined electrical potential difference and the 2nd predetermined electrical potential difference / step / (c)] when said margin electrical potential difference is larger than the 1st predetermined electrical potential difference, The step which lowers one step of frequencies of a clock signal when said margin electrical potential difference is smaller than the 1st predetermined electrical potential difference and larger than the 2nd predetermined electrical potential difference, The DC-DC pressure-up approach according to claim 4 characterized by including the step which raises one step of frequencies of a clock signal, or gathers one step of pressure-up scale factors when said margin electrical potential difference is smaller than the 2nd predetermined electrical potential difference.

[Claim 6] The step to which a step (d) lowers one step of pressure-up scale factors including a step [electrical potential difference / said / margin / the predetermined electrical potential differences from the 1st to the 3rd / step / (c)] when said margin electrical potential difference is larger than the 1st predetermined electrical potential difference, The step which lowers one step of frequencies of a clock signal when said margin electrical potential difference is smaller than the 1st predetermined electrical potential difference and larger than the 2nd predetermined electrical potential difference, The step which maintains a pressure-up scale factor and the frequency of a clock signal when said margin electrical potential difference is smaller than the 2nd predetermined electrical potential difference and larger than the 3rd predetermined electrical potential difference, The DC-DC pressure-up approach

according to claim 4 characterized by including the step which raises one step of frequencies of a clock signal, or gathers one step of pressure-up scale factors when said margin electrical potential difference is smaller than the 3rd predetermined electrical potential difference.

[Claim 7] The power circuit characterized by providing the pressure-up clock equalization circuit which fixes the clock signal which input voltage is supplied, and adjusts the frequency of the clock signal which said booster circuit uses based on the comparison result of the booster circuit which generates a pressure-up electrical potential difference by carrying out the pressure up of the input voltage using a clock signal, a comparator circuit [at least one predetermined electrical potential difference / electrical potential difference / which said booster circuit generates / pressure-up], and said comparator circuit, or controls at least one switching element.

[Claim 8] The power circuit according to claim 7 characterized by changing the pressure-up scale factor of the input voltage in said booster circuit by fixing the clock signal with which said pressure-up clock equalization circuit controls at least one switching element which said booster circuit uses.

[Claim 9] The booster circuit which generates a pressure-up electrical potential difference by supplying input voltage and carrying out the pressure up of the input voltage using a clock signal, The voltage adjustment circuit which generates the stable operating voltage using the pressure-up electrical potential difference which said booster circuit generates, The detector which detects the margin electrical potential difference between the pressure-up electrical potential difference which said booster circuit generates, and the operating voltage which said voltage adjustment circuit generates, The power circuit characterized by providing the pressure-up clock equalization circuit which fixes the clock signal which adjusts the frequency of the clock signal which said booster circuit uses based on the detection result of said detector, or controls at least one switching element.

[Claim 10] The power circuit according to claim 9 characterized by changing the pressure-up scale factor of the input voltage in said booster circuit by fixing the clock signal with which said pressure-up clock equalization circuit controls at least one switching element which said booster circuit uses.

[Claim 11] Said detector compares said margin electrical potential difference with the 1st predetermined electrical potential difference and the 2nd predetermined electrical potential difference. When said margin electrical potential difference of said pressure-up clock equalization circuit is larger than the 1st predetermined electrical potential difference, it lowers one step of pressure-up scale factors. When said margin electrical potential difference is smaller than the 1st predetermined electrical potential difference and larger than the 2nd predetermined electrical potential difference, one step of frequencies of a clock signal is lowered. The power circuit according to claim 10 characterized by adjusting the amplitude or frequency of a clock signal so that one step of frequencies of a clock signal may be raised or a pressure-up scale factor may be gathered one step, when said margin electrical potential difference is smaller than the 2nd predetermined electrical potential difference.

[Claim 12] Said detector compares said margin electrical potential difference with the predetermined electrical potential differences from the 1st to the 3rd. When said margin electrical potential difference of said pressure-up clock equalization circuit is larger than the 1st predetermined electrical potential difference, it lowers one step of pressure-up scale factors. When said margin electrical potential difference is smaller than the 1st predetermined electrical potential difference and larger than the 2nd predetermined electrical potential difference, one step of frequencies of a clock signal is lowered. When said margin electrical potential difference is smaller than the 2nd predetermined electrical potential difference and larger than the 3rd predetermined electrical potential difference, a pressure-up scale factor and the frequency of a clock signal are maintained. The power circuit according to claim 10 characterized by adjusting the amplitude or frequency of a clock signal so that one step of frequencies of a clock signal may be raised or a pressure-up scale factor may be gathered one step, when said margin electrical potential difference is smaller than the 3rd predetermined electrical potential difference.

[Claim 13] The power circuit of claim 7-12 characterized by providing further the pressure-up clock generation circuit which generates the clock signal of a variable frequency and is supplied to said

booster circuit including a capacitor, two or more resistance, and two or more switching circuits to which connection of resistance of said plurality is changed according to two or more control signals outputted from said pressure-up clock equalization circuit given in any 1 term.

[Claim 14] At least one capacitor which is contained in said booster circuit and by which a signal is impressed to an up electrode and a lower electrode with the 1st phase, at least one capacitor by which a signal is impressed to an up electrode and a lower electrode with the 2nd phase contrary to the 1st phase — the inside of a semi-conductor substrate — MxN — being checkered (M and N being the natural number) — the power circuit of claim 7-13 characterized by having been arranged given in any 1 term.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the DC-DC pressure-up approach and power circuit of the charge pump method especially used in the driver IC of the power-source booster circuit for a liquid crystal drive, or the power-source internal organs for a liquid crystal drive about the power circuit which used the DC-DC pressure-up approach and it.

[0002]

[Description of the Prior Art] Although the high voltage power supply for driving liquid crystal is generally needed in the device using liquid crystal, this high voltage power supply is made by the DC-DC pressure up in many cases.

[0003] The configuration of the general power circuit in such a driver IC for a liquid crystal drive is shown in drawing 13. The supply voltage VDD by the side of high potential and the supply voltage VSS by the side of low voltage are supplied, and this IC operates. In drawing 13, a booster circuit 10 carries out the pressure up of the supply voltage VDD by the side of high potential, and outputs the pressure-up electrical potential difference VOUT. The voltage adjustment circuit 20 to which the pressure-up electrical potential difference VOUT was supplied creates the operating voltage VLCD for a liquid crystal display. The voltage follower circuit 30 outputs the electrical potential differences V1, V2, V3, and V4 of a partial pressure and the various kinds according to a load [in / a buffer is carried out and / each function]. [operating voltage / VLCD / this]

[0004] The example of a configuration of a booster circuit 10 is shown in drawing 14, and the example of a configuration of the voltage adjustment circuit 20 is shown in drawing 15. In the booster circuit of drawing 14, between the supply voltage VDD by the side of high potential, and the supply voltage VSS by the side of low voltage, P channel transistor Q1P and N channel transistor Q1N are connected to the serial, and P channel transistor Q2P and N channel transistor Q2N are connected to the serial in parallel to this. Moreover, the P channel transistors Q3, Q4, and Q5 are connected to the supply voltage VDD by the side of high potential at the serial.

[0005] A capacitor C1 is connected between a drain (transistor Q1P and transistor Q1N) and the source of a transistor Q3, and the capacitor C2 is connected between the drain which are transistor Q2P, and transistor Q2N, and the source of a transistor Q4. Moreover, the pressure-up electrical potential difference VOUT is taken out from the source of a transistor Q5.

[0006] Drawing 16 is drawing showing the wave of the clock signal which is inputted in the booster circuit of drawing 14 in the case of a 3 time pressure up. Clock signal CL1P inputted into the gate of transistor Q1P and clock signal CL1N inputted into the transistor Q1N gate are the same. Moreover, clock signal CL2Ns inputted into the transistor Q2N gate as clock signal CL2P inputted into the gate of transistor Q2P are clock signal CL1P and CL1N, and opposition. These clock signal CL1P, CL1N, CL2P, and CL2N change between supply voltage VDD and VSS.

[0007] Moreover, clock signal CL3 inputted into the gate of a transistor Q3 and clock signal CL5 inputted into the gate of a transistor Q5 are clock signal CL1P and CL1N, and opposition. Moreover, clock signal CLs4 inputted into the gate of a transistor Q4 are clock signal CL2P and CL2N, and opposition. These clock signals CL3, CL4, and CL5 change between the pressure-up electrical potential difference VOUT and supply voltage VSS.

[0008] In addition, in the case of 2 double pressure up, clock signal CL2P and CL2N are fixed to supply voltage VDD, and clock signal CL5 is fixed by supply voltage VSS.

[0009] In the COG (chip-on glass) method which carries the driver IC for a liquid crystal drive on a glass substrate, since it is necessary to reduce the number of connection terminals of a printed circuit board and a liquid crystal display, built-in of the charge pump capacitor for pressure ups is demanded of the driver IC for a liquid crystal drive.

[0010]

[Problem(s) to be Solved by the Invention] However, a big capacitor cannot be built in IC from the field of dependability or cost. Since the current serviceability of a pressure-up power source is dependent on the capacity value of a capacitor, and the frequency of switching, when it is going to secure the current serviceability of a pressure-up power source, it is necessary to carry out switching operation on a high frequency.

[0011] However, to the capacitor built in IC, parasitic capacitance surely occurs. If a switching frequency is high, the reactive current by the charge and discharge of parasitic capacitance will become large. This parasitic capacitance is shown in drawing 17.

[0012] In (a) of drawing 17, the lower electrode 93 of a capacitor is formed through the insulator layer 92 on the semi-conductor substrate 91. Furthermore, the up electrode 95 of a capacitor is formed through the dielectric 94 on it. Here, parasitic capacitance CS has occurred between the lower electrode 93 and the semi-conductor substrate 91.

[0013] In (b) of drawing 17, the N+ field 96 is formed as a lower electrode of a capacitor in the semi-conductor substrate 91, and the up electrode 95 of a capacitor is formed through the dielectric 94 on it. Here, parasitic capacitance CS has occurred between the lower electrode 96 and the semi-conductor substrate 91.

[0014] It is necessary to consider the capacitor built in IC as the small configuration of parasitic capacitance, and it needs to modulate a switching frequency in required sufficient height.

[0015] As an approach of modulating a switching frequency, what is carried by Japan patent application public presentation official report (provisional publication of a patent) Taira No. 162560 [four to], JP,5-64429,A, and JP,7-160215,A is known. However, if the load current of a pressure-up power source is set to IOUT, the current which flows the supply voltage VDD of a booster circuit needs to set a pressure-up scale factor as the minimum pressure-up scale factor used as the pressure-up electrical-potential-difference VOUT> operating voltage VLCD, in order to become an IOUTx pressure-up scale factor mostly and to reduce the consumed electric current.

[0016] Here, it depends for the pressure-up electrical potential difference VOUT on the output impedance and the load current IOUT of a pressure-up power source. It depends for the output

impedance of a pressure-up power source on the capacity value and the switching frequency of a capacitor. Since he wants to make as low as possible that the capacitor built in IC is small, and a switching frequency, the output impedance of a pressure-up power source becomes large. Moreover, as the load current IOUT, the charge and discharge current of a liquid crystal panel is dominant, and it depends for the charge and discharge current of a liquid crystal panel on a display mode and the contents of a display.

[0017] For this reason, since the pressure-up electrical potential difference VOUT is sharply changed according to a display mode or the contents of a display, it is necessary to modulate a pressure-up scale factor so that it may become a necessary minimum pressure-up scale factor according to a display mode or the contents of a display. According to the above-mentioned patent official report, although the modulation of a switching frequency is supported, the modulation of a pressure-up scale factor is not supported. On the other hand, by software control from MPU, although the modulation of a pressure-up scale factor is possible, even if it can modulate a pressure-up scale factor according to a display mode, it cannot modulate a pressure-up scale factor in this case according to the contents of a display.

[0018] Moreover, in recent years, the display capacity of a liquid crystal panel is becoming large, and it is in the inclination which the consumed electric current in the driver IC for a liquid crystal drive increases. However, even if display capacity especially becomes large by the pocket device, the increment in power consumption is not accepted but low-power-ization is called for rather. In such a device, it is going to hold down power consumption to necessary minimum by controlling a display mode more finely.

[0019] Then, the purpose of this invention is offering the DC-DC pressure-up approach and booster circuit which can reduce power consumption by detecting the margin of a pressure-up electrical potential difference, even if the display mode and the contents of a display of the liquid crystal panel change in view of the above-mentioned point. Moreover, it is offering the small layout configuration of parasitic capacitance for which it was suitable when a switching capacitor's was built in IC.

[0020]

[Means for Solving the Problem] In order to solve the above technical problem, the DC-DC pressure-up approach by the 1st viewpoint of this invention (a) The step which generates a pressure-up electrical potential difference by carrying out the pressure up of the input voltage using a clock signal, (b) A step [at least one predetermined electrical potential difference / electrical potential difference / pressure-up], The step which fixes the clock signal which adjusts the frequency of the clock signal used in a step (a) based on the comparison result in (c) step (b), or controls at least one switching element is provided.

[0021] Moreover, the power circuit by the 1st viewpoint of this invention The booster circuit which generates a pressure-up electrical potential difference by supplying input voltage and carrying out the pressure up of the input voltage using a clock signal, The frequency of the clock signal with which a booster circuit uses the pressure-up electrical potential difference which a booster circuit generates based on the comparison result of the comparator circuit in comparison with at least one predetermined electrical potential difference and a comparator circuit is adjusted. Or the pressure-up clock equalization circuit which fixes the clock signal which controls at least one switching element is provided.

[0022] Furthermore, the DC-DC pressure-up approach by the 2nd viewpoint of this invention (a) The step which generates a pressure-up electrical potential difference by carrying out the pressure up of the input voltage using a clock signal, (b) The step which generates the stable operating voltage using a pressure-up electrical potential difference, (c) The step which detects the margin electrical potential difference between a pressure-up electrical potential difference and operating voltage, (d) The step which fixes the clock signal which adjusts the frequency of the clock signal used in a step (a) based on the detection result in a step (c), or controls at least one switching element is provided.

[0023] Moreover, the power circuit by the 2nd viewpoint of this invention The booster circuit which generates a pressure-up electrical potential difference by supplying input voltage and carrying out the

pressure up of the input voltage using a clock signal, The voltage adjustment circuit which generates the stable operating voltage using the pressure-up electrical potential difference which a booster circuit generates, The detector which detects the margin electrical potential difference between the pressure-up electrical potential difference which a booster circuit generates, and the operating voltage which a voltage adjustment circuit generates, The pressure-up clock equalization circuit which fixes the clock signal which adjusts the frequency of the clock signal which a booster circuit uses based on the detection result of a detector, or controls at least one switching element is provided.

[0024] You may make it change the pressure-up scale factor of input voltage here by fixing the clock signal which controls at least one switching element.

[0025] Moreover, a margin electrical potential difference is compared with the 1st predetermined electrical potential difference and the 2nd predetermined electrical potential difference. When a margin electrical potential difference is larger than the 1st predetermined electrical potential difference, a pressure-up scale factor is lowered one step. When a margin electrical potential difference is smaller than the 1st predetermined electrical potential difference and larger than the 2nd predetermined electrical potential difference, one step of frequencies of a clock signal is lowered, and when a margin electrical potential difference is smaller than the 2nd predetermined electrical potential difference, one step of frequencies of a clock signal is raised, or you may make it gather a pressure-up scale factor one step.

[0026] Furthermore, a margin electrical potential difference is compared with the predetermined electrical potential differences from the 1st to the 3rd. When a margin electrical potential difference is larger than the 1st predetermined electrical potential difference, a pressure-up scale factor is lowered one step. When a margin electrical potential difference is smaller than the 1st predetermined electrical potential difference and larger than the 2nd predetermined electrical potential difference, one step of frequencies of a clock signal is lowered. When a margin electrical potential difference is smaller than the 2nd predetermined electrical potential difference and larger than the 3rd predetermined electrical potential difference, a pressure-up scale factor and the frequency of a clock signal are maintained. When a margin electrical potential difference is smaller than the 3rd predetermined electrical potential difference, one step of frequencies of a clock signal is raised, or you may make it gather a pressure-up scale factor one step.

[0027] You may make it provide further the pressure-up clock generation circuit which generates the clock signal of a variable frequency and is supplied to a booster circuit in the above power circuit including a capacitor, two or more resistance, and two or more switching circuits to which connection of two or more resistance is changed according to two or more control signals outputted from a pressure-up clock equalization circuit.

[0028] Moreover, at least one capacitor which is contained in the above power circuit in a booster circuit and by which a signal is impressed to an up electrode and a lower electrode with the 1st phase, at least one capacitor by which a signal is impressed to an up electrode and a lower electrode with the 2nd phase contrary to the 1st phase — the inside of a semi-conductor substrate — $M \times N$ — being checkered (M and N being the natural number) — you may make it arranged

[0029] According to this invention constituted as mentioned above, even if the display mode and the contents of a display of the liquid crystal panel change, power consumption can be reduced by fixing the clock signal which detects the margin of a pressure-up electrical potential difference, and adjusts the frequency of a clock signal, or controls at least one switching element.

[0030]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing. In addition, the same number is given to the same element and explanation is omitted.

[0031] The power circuit concerning the 1st operation gestalt of this invention has composition as shown in drawing 1 as the whole. The supply voltage VDD by the side of high potential and the supply voltage VSS by the side of low voltage are supplied, and this power circuit operates. In addition, one side

of such supply voltage may be ground potential. In this operation gestalt, the supply voltage VSS by the side of low voltage presupposes that it is equal to ground potential.

[0032] In drawing 1, a booster circuit 10 carries out the pressure up of the supply voltage VDD by the side of high potential, and outputs the pressure-up electrical potential difference VOUT. The voltage adjustment circuit 20 to which the pressure-up electrical potential difference VOUT was supplied creates the operating voltage VLCD for a liquid crystal display. The voltage follower circuit 30 outputs the electrical potential differences V1, V2, V3, and V4 of a partial pressure and the various kinds according to a load [in / a buffer is carried out and / each function]. [operating voltage / VLCD / this] Even when the configuration and actuation of a booster circuit 10 and the voltage adjustment circuit 20 are the same as that of what is shown in drawing 14 and drawing 15, respectively, they are good. When performing a pressure up 3 times using the booster circuit shown in drawing 14, a pressure-up clock signal as shown in drawing 16 can be used. In addition, when making operating voltage VLCD equal to the pressure-up electrical potential difference VOUT, the voltage adjustment circuit 20 is unnecessary.

[0033] As shown in drawing 1, the power circuit concerning this operation gestalt includes the pressure-up clock equalization circuit 40 further. The pressure-up clock equalization circuit 40 carries out the gate of the pressure-up clock signal which the pressure-up electrical potential difference VOUT is supplied from a booster circuit 10, and operating voltage VLCD is supplied from the voltage adjustment circuit 20, and is supplied to a booster circuit 10 by comparing these, or adjusts changing a frequency etc., and controls pressure-up actuation of a booster circuit 10. In addition, in making operating voltage VLCD equal to the pressure-up electrical potential difference VOUT, the pressure-up clock equalization circuit 40 adjusts a pressure-up clock signal based on the pressure-up electrical potential difference VOUT.

[0034] The example of a configuration of this pressure-up clock equalization circuit 40 is shown in drawing 2: As shown in drawing 2, the pressure-up clock equalization circuit includes the switching circuits 1-4 which have a P channel transistor and an N-channel transistor. Switching circuits 1-4 are mutually opened and closed according to control clock signal phi of opposition, and phi bar. For example, in a switching circuit 1, control clock signal phi is high-level, when a control clock signal phi bar is a low level, a switch closes, and with a low level, when a control clock signal phi bar is high-level, a switch opens [control clock signal phi].

[0035] The potential difference (actual margin electrical potential difference) of the pressure-up electrical potential difference VOUT and operating voltage VLCD is supplied to a capacitor 5, when switching circuits 1 and 2 close and switching circuits 3 and 4 open, and the potential difference of the both ends of a capacitor 5 is supplied to a capacitor 6, when switching circuits 3 and 4 close and switching circuits 1 and 2 open. The potential difference VC of the both ends of a capacitor 6 is impressed to a comparator 7. A comparator 7 outputs a comparison result for this potential difference VC to at least one gate circuit 8 as compared with the predetermined electrical potential difference VREF. In addition, it is also possible as a circuit for comparing an electrical potential difference to use an A/D converter instead of a comparator 7.

[0036] In this operation gestalt, the OR circuit is used as a gate circuit 8. Moreover, the predetermined electrical potential difference VREF is set up equally to the pressure-up electrical potential difference VOUT and the margin electrical potential difference of the request between operating voltage VLCD. OR circuit 8 outputs the inputted pressure-up clock signal, when the potential difference VC of the both ends of a capacitor 6 is smaller than the predetermined electrical potential difference VREF. This pressure-up clock signal is supplied to the gate of P channel transistor Q2P in the booster circuit of drawing 14 as pressure-up clock signal CL2P. When the potential difference VC becomes larger than the predetermined electrical potential difference VREF, OR circuit 8 supplies a high-level signal to a booster circuit instead of a pressure-up clock signal. Thereby, the pressure-up scale factor of a booster circuit can be changed, and the potential difference between the pressure-up electrical potential difference

VOUT and operating voltage VLCD can be brought close to a desired margin electrical potential difference.

[0037] In drawing 2 , although considered as the configuration which detects the potential difference of the pressure-up electrical potential difference VOUT and operating voltage VLCD using switching circuits 1-4 and capacitors 5 and 6, it is good also as a configuration which compares the electrical potential difference which pressured partially the pressure-up electrical potential difference VOUT using the partial pressure circuit as shown in drawing 3 with the electrical potential difference which pressured operating voltage VLCD partially. Resistance R11-R15 is connected to the pressure-up electrical potential difference VOUT, and resistance R21-R25 is connected to operating voltage VLCD. In a comparator 7, a comparison result is outputted to at least one gate circuit 8 by comparing the electrical potential differences V14 and V24 by which the partial pressure was carried out.

[0038] Moreover, as shown in drawing 4 , it is good also as a configuration of [electrical potential difference / which pressured partially the pressure-up electrical potential difference VOUT / the predetermined electrical potential difference VREF]. Resistance R11-R15 is connected to the pressure-up electrical potential difference VOUT. In a comparator 7, a comparison result is outputted to at least one gate circuit 8 by comparing with the predetermined electrical potential difference VREF the electrical potential difference V14 by which the partial pressure was carried out. You may make it use the pressure-up electrical potential difference VOUT as operating voltage VLCD here.

[0039] The power circuit of drawing 2 is controlled so that the potential difference (actual margin electrical potential difference) of the pressure-up electrical potential difference VOUT and operating voltage VLCD serves as a fixed value (desired margin electrical potential difference). On the other hand, in the power circuit of drawing 3 , the potential difference of the pressure-up electrical potential difference VOUT and operating voltage VLCD changes with the values of the pressure-up electrical potential difference VOUT or operating voltage VLCD. Moreover, the power circuit of drawing 4 is controlled so that the pressure-up electrical potential difference VOUT serves as a fixed value. Although the configuration of the power circuit of drawing 3 or drawing 4 is comparatively easy, when resistance constitutes a partial pressure circuit, a chip area becomes large somewhat, and some power consumption also increases resistance according to the flowing current.

[0040] Next, the 2nd operation gestalt of this invention is explained. In this operation gestalt, the pressure-up clock equalization circuit as shown in drawing 5 is used. A different point from the 1st operation gestalt is that the potential difference VC of the both ends of a capacitor 6 was made to be impressed to the 1st comparator 7 and 2nd comparator 9. The 1st comparator 7 outputs a comparison result A for this potential difference VC as compared with the 1st predetermined electrical potential difference VREF1. Moreover, the 2nd comparator 9 outputs a comparison result B for this potential difference VC as compared with the 2nd predetermined electrical potential difference VREF2.

[0041] In this operation gestalt, the 2nd predetermined electrical potential difference VREF2 was set up equally to the pressure-up electrical potential difference VOUT and the margin electrical potential difference of the request between operating voltage VLCD, and the 1st predetermined electrical potential difference VREF1 is set as a larger electrical potential difference (for example, VDD-VSS) than this. And a comparison result A is used as a pressure-up scale-factor control flag, and a comparison result B is used as a pressure-up clock frequency control flag.

[0042] Concrete control action is shown in drawing 6 . When the pressure-up scale-factor control flag A is high level 1, a pressure-up scale factor is lowered one step. With a low level 0, the pressure-up scale-factor control flag A lowers one step of pressure-up clock frequencies, when the pressure-up clock frequency control flag B is high level 1. When both the pressure-up scale-factor control flag A and the pressure-up clock frequency control flag B are low level 0, one step of pressure-up clock frequencies is raised. However, if a pressure-up clock frequency is maximum, a pressure-up scale factor will be gathered one step.

[0043] Here, control of a pressure-up scale factor can be performed like the 1st operation gestalt.

Moreover, control of a pressure-up clock frequency is performed by controlling the pressure-up clock generation circuit shown in drawing 7 . Or although a high oscillation frequency is needed, it can also carry out by changing the division ratio of a frequency divider.

[0044] In drawing 7 , a pressure-up clock generation circuit contains the inverters 51 and 52 by which the series connection was carried out. Positive feedback of the output of an inverter 52 is carried out to the input of an inverter 51 through the capacitor 54. Moreover, negative feedback of the output of an inverter 52 is carried out to the input of an inverter 51 through the resistance R1-R8 by which the series connection was carried out to the inverter 53. A CR oscillator is formed of the above configuration. In order to short-circuit a part of resistance R1-R7, switching circuits S1-S7 are connected, and the oscillation frequency of a CR oscillator can be changed according to the condition of these switching circuits. The concrete example of a circuit of a switching circuit is shown in drawing 8 .

[0045] Here, only the control signal EN0 supplied to switching circuit S4 presupposes that an active condition is a criterion. In this condition, resistance R1-R4 short-circuits by switching circuit S4, and the oscillation frequency serves as a certified value. Here, if control signal EN3P supplied to a switching circuit S7 become active, resistance R1-R7 will short-circuit by the switching circuit S7, and an oscillation frequency will serve as maximum. On the other hand, if all the control signal also becomes less active, neither of the resistance will short-circuit but an oscillation frequency will serve as the minimum value.

[0046] Next, the 3rd operation gestalt of this invention is explained. In this operation gestalt, three kinds of predetermined electrical potential differences VREF1, VREF2, and VREF3 and time sharing compare the potential difference VC of the both ends of the capacitor 6 shown in drawing 2 in the comparator 7 shown in drawing 9 . Here, it considers for example, as $VREF1 = VDD - VSS$, and is referred to as $VREF1 > VREF2 > (\text{desired margin electrical potential difference}) > VREF3$. By carrying out serial/parallel conversion of the output of a comparator 7, Flags A, B, and C have been obtained as each comparison result.

[0047] In order to switch three kinds of predetermined electrical potential differences, the switching circuits S11, S12, and S13 same with being shown in drawing 8 are used. Moreover, in order to carry out serial/parallel conversion of the output of a comparator 7, flip-flops 61-64 are used. The control clock signals phi2-phi6 as shown in these switching circuits and flip-flops at drawing 10 are supplied.

[0048] Flags A and B are supplied to the input of NOR circuit 65, and a comparison result C is supplied to the reversal input of NOR circuit 65. The output of NOR circuit 65 is supplied to the enabling reversal input of the updown counter 66 with load enabling. Control clock signal phi6 bar is supplied and an updown counter 66 operates. Since an updown counter 66 suspends count actuation when Flags A and B is [Flag C] high level 1 in a low level 0, a pressure-up scale factor and a pressure-up clock frequency are maintained.

[0049] Inverters 67-70 are connected to each count output of an updown counter 66. AND circuits 71 and 72 and — generate pressure-up clock frequency control signal EN3M for supplying a pressure-up clock generation circuit as shown in drawing 7 using the inverter output by which the updown counter 66 was reversed [by which reversed and it was count-outputted], EN2M, and —.

[0050] On the other hand, Flag A and the control clock signal phi 6 are supplied to the input of AND circuit 73, and the carry output of Flag C and an updown counter 66 is supplied to the reversal input of AND circuit 74. The output of AND circuits 73 and 74 is supplied to the input of NOR circuit 75, and the output of NOR circuit 75 is supplied to the clocked into of the updown counter 76 with loading.

[0051] Inverters 77 and 78 are connected to each count output of an updown counter 76. AND circuits 79-81 generate the pressure-up scale-factor control signals X1-X3 for carrying out the gate of the pressure-up clock signal supplied to a booster circuit as shown in drawing 14 using the inverter output by which the updown counter 76 was reversed [by which reversed and it was count-outputted].

[0052] Concrete control action is shown in drawing 11 . When Flags A, B, and C are high level 1, a pressure-up scale factor is lowered one step. With a low level 0, Flag A lowers one step of pressure-up

clock frequencies, when Flags B and C are high level 1. With a low level 0, Flags A and B maintain the present condition, when Flag C is high level 1. If Flags A, B, and C are low level 0, one step of pressure-up clock frequencies will be raised. However, if a pressure-up clock frequency is maximum, a pressure-up scale factor will be gathered one step.

[0053] Next, 1 operation gestalt about formation of the capacitor used in the booster circuit included in the power circuit concerning this invention is explained. As explained with reference to (a) of drawing 17, and (b), parasitic capacitance CS exists in the capacitor formed in the semi-conductor substrate between a lower electrode and a semi-conductor substrate.

[0054] The capacitor by this operation gestalt reduces such parasitic capacitance equivalent. As shown in drawing 12, it faces forming a capacitor in a semi-conductor substrate, and a capacitor is subdivided and formed. Thus, the subdivided capacitor is divided into the capacitor CA of the 1st M group which operates by opposition mutually, and the capacitor CB of the 2nd group of N individual (M and N are the natural number), and is arranged in checkers.

[0055] By subdividing a capacitor and making it operate by opposition, the potential in the semi-conductor substrate generated when a current flows to a capacitor is negated. Consequently, it becomes that series connection of sum CS-M and CS-N of the subdivided parasitic capacitance was carried out, and equivalence. Therefore, equivalent parasitic capacitance becomes $CS-M-N/(M+N)$. Here, when $M=N$, equivalent parasitic capacitance is $CS-N/2$. That is, as compared with the case where parallel connection of the parasitic capacitance is carried out like usual, it decreases to one half. Furthermore, in a booster circuit as shown in drawing 14, if the transistors which operate by opposition are made to adjoin, the parasitic capacitance of a transistor can be reduced.

[0056]

[Effect of the Invention] Like, according to this invention, even if the display mode of a liquid crystal panel changes, power consumption can be reduced by fixing the clock signal which was described above and which detects the margin of a pressure-up electrical potential difference, and adjusts the frequency of a clock signal, or controls at least one switching element.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the power circuit concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the circuit diagram showing the example of a configuration of the pressure-up clock equalization circuit in the power circuit concerning the 1st operation gestalt of this invention.

[Drawing 3] It is the circuit diagram showing other examples of a configuration of the pressure-up clock equalization circuit in the power circuit concerning the 1st operation gestalt of this invention.

[Drawing 4] It is the circuit diagram showing the example of a configuration of further others of the pressure-up clock equalization circuit in the power circuit concerning the 1st operation gestalt of this

invention.

[Drawing 5] It is the circuit diagram showing the example of a configuration of the pressure-up clock equalization circuit in the power circuit concerning the 2nd operation gestalt of this invention.

[Drawing 6] It is drawing showing the control action of the power circuit concerning the 2nd operation gestalt of this invention.

[Drawing 7] It is the circuit diagram showing the example of a configuration of the pressure-up clock generation circuit in the power circuit concerning the 2nd operation gestalt of this invention.

[Drawing 8] It is the circuit diagram showing the example of a configuration of the switching circuit in the pressure-up clock generation circuit of drawing 7.

[Drawing 9] It is the circuit diagram showing the example of a configuration of the pressure-up clock equalization circuit in the power circuit concerning the 3rd operation gestalt of this invention.

[Drawing 10] It is drawing showing the wave of the control clock signal inputted into the pressure-up clock equalization circuit of drawing 9.

[Drawing 11] It is drawing showing the control action of the power circuit concerning the 3rd operation gestalt of this invention.

[Drawing 12] It is drawing showing 1 operation gestalt about formation of the capacitor used in the power circuit concerning this invention.

[Drawing 13] It is the block diagram showing the configuration of the general power circuit in the driver IC for a liquid crystal drive.

[Drawing 14] It is the circuit diagram showing the example of a configuration of the booster circuit in the power circuit of drawing 13.

[Drawing 15] It is the circuit diagram showing the example of a configuration of the voltage adjustment circuit in the power circuit of drawing 13.

[Drawing 16] It is drawing showing the wave of the clock signal which is inputted in the booster circuit of drawing 14 in the case of a 3 time pressure up.

[Drawing 17] It is drawing showing the parasitic capacitance generated to the capacitor built in IC.

[Description of Notations]

1-4, S1-S13 Switching circuit

5, 6, 54, C1, C2, CA, CB Capacitor

7 Nine Comparator

8 Gate Circuit

10 Booster Circuit

20 Voltage Adjustment Circuit

30 Voltage Follower Circuit

40 Pressure-Up Clock Equalization Circuit

77 51-53, 67-70, 78 Inverter

61-64 Flip-flop

65 75 NOR circuit

66 76 Updown counter

71-74, 79-81 AND circuit

R1-R25 Resistance

Q1-Q5 Transistor

phi, phi2-phi6 Control clock signal

CL1-CL5 Pressure-up clock signal

VDD, VSS Supply voltage

VOUT Pressure-up electrical potential difference

VLCD Operating voltage

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-211635

(P2001-211635A)

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl.⁷
H 0 2 M 3/07

識別記号

F I
H 0 2 M 3/07

テーマコード(参考)
5 H 7 3 0

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21) 出願番号 特願2000-16171(P2000-16171)

(22) 出願日 平成12年1月25日 (2000.1.25)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 安江 匡

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム(参考) 5H730 AA14 AS00 AS04 BB02 DD04

FD01 FF05

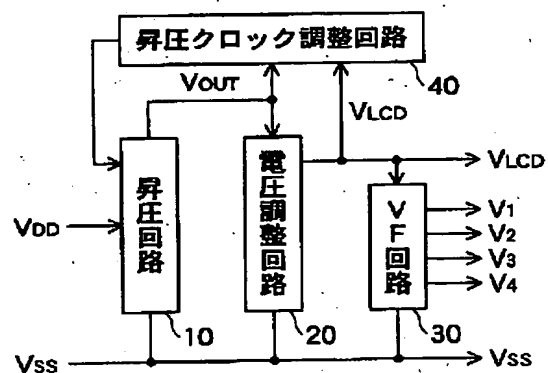
(54) 【発明の名称】 D C - D C 昇圧方法及びそれを用いた電源回路

(57) 【要約】

【課題】 液晶パネルの表示モードや表示内容が変化しても、昇圧電圧のマージンを検出することにより消費電力を低減することができるD C - D C 昇圧方法を提供すること。

【解決手段】 (a) クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生するステップと、

(b) 昇圧電圧を少なくとも1つの所定の電圧と比較するステップと、(c) ステップ(b)における比較結果に基づいて、ステップ(a)において用いるクロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定するステップとを具備する。



(2)

【特許請求の範囲】

【請求項1】 (a) クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生するステップと、

(b) 前記昇圧電圧を少なくとも1つの所定の電圧と比較するステップと、

(c) ステップ(b)における比較結果に基づいて、ステップ(a)において用いるクロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定するステップと、を具備することを特徴とするDC-DC昇圧方法。

【請求項2】 ステップ(c)が、ステップ(a)において用いる少なくとも1つのスイッチング素子を制御するクロック信号を固定することによりステップ(a)における入力電圧の昇圧倍率を変化させるステップを含むことを特徴とする請求項1記載のDC-DC昇圧方法。

【請求項3】 (a) クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生するステップと、

(b) 前記昇圧電圧を用いて、安定化された動作電圧を発生するステップと、

(c) 前記昇圧電圧と前記動作電圧との間のマージン電圧を検出するステップと、

(d) ステップ(c)における検出結果に基づいて、ステップ(a)において用いるクロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定するステップと、を具備することを特徴とするDC-DC昇圧方法。

【請求項4】 ステップ(d)が、ステップ(a)において用いる少なくとも1つのスイッチング素子を制御するクロック信号を固定することによりステップ(a)における入力電圧の昇圧倍率を変化させるステップを含むことを特徴とする請求項3記載のDC-DC昇圧方法。

【請求項5】 ステップ(c)が、前記マージン電圧を第1の所定の電圧及び第2の所定の電圧と比較するステップを含み、

ステップ(d)が、前記マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げるステップと、前記マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときにクロック信号の周波数を1段階下げるステップと、前記マージン電圧が第2の所定の電圧よりも小さいときにクロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるステップとを含むことを特徴とする請求項4記載のDC-DC昇圧方法。

【請求項6】 ステップ(c)が、前記マージン電圧を第1から第3までの所定の電圧と比較するステップを含み、

ステップ(d)が、前記マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げるステップと、前記マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときにクロック信号の周

2

波数を1段階下げるステップと、前記マージン電圧が第2の所定の電圧よりも小さく第3の所定の電圧よりも大きいときに昇圧倍率とクロック信号の周波数とを維持するステップと、前記マージン電圧が第3の所定の電圧よりも小さいときにクロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるステップとを含むことを特徴とする請求項4記載のDC-DC昇圧方法。

【請求項7】 入力電圧が供給され、クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生する昇圧回路と、

前記昇圧回路が発生する昇圧電圧を少なくとも1つの所定の電圧と比較する比較回路と、

前記比較回路の比較結果に基づいて、前記昇圧回路が用いるクロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定する昇圧クロック調整回路と、を具備することを特徴とする電源回路。

【請求項8】 前記昇圧クロック調整回路が、前記昇圧回路が用いる少なくとも1つのスイッチング素子を制御するクロック信号を固定することにより前記昇圧回路における入力電圧の昇圧倍率を変化させることを特徴とする請求項7記載の電源回路。

【請求項9】 入力電圧が供給され、クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生する昇圧回路と、

前記昇圧回路が発生する昇圧電圧を用いて、安定化された動作電圧を発生する電圧調整回路と、

前記昇圧回路が発生する昇圧電圧と前記電圧調整回路が発生する動作電圧との間のマージン電圧を検出する検出回路と、

前記検出回路の検出結果に基づいて、前記昇圧回路が用いるクロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定する昇圧クロック調整回路と、を具備することを特徴とする電源回路。

【請求項10】 前記昇圧クロック調整回路が、前記昇圧回路が用いる少なくとも1つのスイッチング素子を制御するクロック信号を固定することにより前記昇圧回路における入力電圧の昇圧倍率を変化させることを特徴とする請求項9記載の電源回路。

【請求項11】 前記検出回路が、前記マージン電圧を第1の所定の電圧及び第2の所定の電圧と比較し、前記昇圧クロック調整回路が、前記マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げ、前記マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときにクロック信号の周波数を1段階下げ、前記マージン電圧が第2の所定の電圧よりも小さいときにクロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるように、クロック信号の振幅又は周波数を調整することを特徴とする請求項

(3)

3

10記載の電源回路。

【請求項12】 前記検出回路が、前記マージン電圧を第1から第3までの所定の電圧と比較し、前記昇圧クロック調整回路が、前記マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げ、前記マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときにクロック信号の周波数を1段階下げ、前記マージン電圧が第2の所定の電圧よりも小さく第3の所定の電圧よりも大きいときに昇圧倍率とクロック信号の周波数とを維持し、前記マージン電圧が第3の所定の電圧よりも小さいときにクロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるように、クロック信号の振幅又は周波数を調整することを特徴とする請求項10記載の電源回路。

【請求項13】 コンデンサと、複数の抵抗と、前記昇圧クロック調整回路から出力される複数の制御信号に従って前記複数の抵抗の接続を変化させる複数のスイッチ回路とを含み、可変周波数のクロック信号を発生して前記昇圧回路に供給する昇圧クロック発生回路をさらに具備することを特徴とする請求項7～12のいずれか1項記載の電源回路。

【請求項14】 前記昇圧回路に含まれる、上部電極と下部電極に第1の位相で信号が印加される少なくとも1つのコンデンサと、上部電極と下部電極に第1の位相と逆の第2の位相で信号が印加される少なくとも1つのコンデンサとが、半導体基板内にM×Nの市松状(M、Nは自然数)に配置されたことを特徴とする請求項7～13のいずれか1項記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DC-DC昇圧方法及びそれを用いた電源回路に関し、特に、液晶駆動用電源昇圧回路や液晶駆動用電源内臓のドライバICにおいて用いられるチャージポンプ方式のDC-DC昇圧方法及び電源回路に関する。

【0002】

【従来の技術】 一般的に、液晶を用いる機器においては、液晶を駆動するための高圧電源が必要となるが、この高圧電源をDC-DC昇圧によって作り出すことが多い。

【0003】 このような液晶駆動用のドライバICにおける一般的な電源回路の構成を図13に示す。このICは、高電位側の電源電圧 V_{DD} と低電位側の電源電圧 V_{SS} とが供給されて動作する。図13において、昇圧回路10は、高電位側の電源電圧 V_{DD} を昇圧して、昇圧電圧 V_{OUT} を出力する。昇圧電圧 V_{OUT} が供給された電圧調整回路20は、液晶表示装置のための動作電圧 V_{LCD} を作成する。ボルテージフォロワ回路30は、この動作電圧 V_{LCD} を分圧及びバッファして、各機能における負荷に応じた各種の電圧 V_1 、 V_2 、 V_3 、 V_4 を出力する。

4

【0004】 昇圧回路10の構成例を図14に、電圧調整回路20の構成例を図15に示す。図14の昇圧回路において、高電位側の電源電圧 V_{DD} と低電位側の電源電圧 V_{SS} との間には、Pチャネルトランジスタ Q_{1P} とNチャネルトランジスタ Q_{1N} とが直列に接続されており、これと並行して、Pチャネルトランジスタ Q_{2P} とNチャネルトランジスタ Q_{2N} とが直列に接続されている。また、高電位側の電源電圧 V_{DD} には、Pチャネルトランジスタ Q_3 、 Q_4 、 Q_5 が直列に接続されている。

10 【0005】 トランジスタ Q_{1P} 及びトランジスタ Q_{1N} のドレインとトランジスタ Q_3 のソースとの間にはコンデンサ C_1 が接続され、トランジスタ Q_{2P} 及びトランジスタ Q_{2N} のドレインとトランジスタ Q_4 のソースとの間にはコンデンサ C_2 が接続されている。また、トランジスタ Q_5 のソースから昇圧電圧 V_{OUT} が取り出される。

20 【0006】 図16は、3倍昇圧の場合に図14の昇圧回路に入力されるクロック信号の波形を示す図である。トランジスタ Q_{1P} のゲートに入力されるクロック信号 CL_{1P} と、トランジスタ Q_{1N} のゲートに入力されるクロック信号 CL_{1N} とは同一である。また、トランジスタ Q_{2P} のゲートに入力されるクロック信号 CL_{2P} と、トランジスタ Q_{2N} のゲートに入力されるクロック信号 CL_{2N} は、クロック信号 CL_{1P} 及び CL_{1N} と逆相である。これらのクロック信号 CL_{1P} 、 CL_{1N} 、 CL_{2P} 、 CL_{2N} は、電源電圧 V_{DD} と V_{SS} との間で遷移する。

30 【0007】 また、トランジスタ Q_3 のゲートに入力されるクロック信号 CL_3 と、トランジスタ Q_5 のゲートに入力されるクロック信号 CL_5 は、クロック信号 CL_{1P} 及び CL_{1N} と逆相である。また、トランジスタ Q_4 のゲートに入力されるクロック信号 CL_4 は、クロック信号 CL_{2P} 及び CL_{2N} と逆相である。これらのクロック信号 CL_3 、 CL_4 、 CL_5 は、昇圧電圧 V_{OUT} と電源電圧 V_{SS} との間で遷移する。

【0008】 なお、2倍昇圧の場合には、クロック信号 CL_{2P} と CL_{2N} が電源電圧 V_{DD} に固定され、クロック信号 CL_5 が電源電圧 V_{SS} に固定される。

40 【0009】 液晶駆動用のドライバICをガラス基板上に搭載するCOG(チップオンガラス)方式においては、プリント回路基板と液晶表示装置との接続端子数を削減する必要があるため、液晶駆動用のドライバICに昇圧用チャージポンプコンデンサの内蔵が要求されている。

【0010】

【発明が解決しようとする課題】 しかしながら、信頼性やコストの面から、ICに大きなコンデンサを内蔵することはできない。昇圧電源の電流供給能力はコンデンサの容量値とスイッチングの周波数に依存するので、昇圧電源の電流供給能力を確保しようとする、高い周波数でスイッチング動作させる必要がある。

50 【0011】 ところが、ICに内蔵されるコンデンサに

(4)

5

は、必ず寄生容量が発生する。スイッチング周波数が高いと、寄生容量の充放電による無効電流が大きくなる。図17に、この寄生容量を示す。

【0012】図17の(a)において、半導体基板91上に、絶縁膜92を介してコンデンサの下部電極93が形成されている。さらに、その上に誘電体94を介してコンデンサの上部電極95が形成されている。ここで、下部電極93と半導体基板91との間には、寄生容量 C_s が発生している。

【0013】図17の(b)においては、半導体基板91内に N^+ 領域96がコンデンサの下部電極として形成され、その上に誘電体94を介してコンデンサの上部電極95が形成されている。ここで、下部電極96と半導体基板91との間には、寄生容量 C_s が発生している。

【0014】ICに内蔵されるコンデンサは寄生容量の小さい構成とし、スイッチング周波数は必要十分な高さに変調する必要がある。

【0015】スイッチング周波数を変調する方法としては、日本国特許出願公開公報(特開)平4-162560号、特開平5-64429号、特開平7-160215号に掲載されているものが知られている。しかし、昇圧回路の電源電圧 V_{DD} を流れる電流は、昇圧電源の負荷電流を I_{OUT} とすると、ほぼ $I_{OUT} \times$ 昇圧倍率となり、消費電流を低減するためには、昇圧倍率を、昇圧電圧 $V_{OUT} >$ 動作電圧 V_{LCD} となる最小の昇圧倍率に設定する必要がある。

【0016】ここで、昇圧電圧 V_{OUT} は、昇圧電源の出力インピーダンスと負荷電流 I_{OUT} とに依存する。昇圧電源の出力インピーダンスは、コンデンサの容量値とスイッチング周波数とに依存する。ICに内蔵されるコンデンサは小さいこと、また、スイッチング周波数はなるべく低くしたいことから、昇圧電源の出力インピーダンスは大きくなる。また、負荷電流 I_{OUT} としては、液晶パネルの充放電電流が支配的であり、液晶パネルの充放電電流は、表示モードと表示内容とに依存する。

【0017】このため、表示モードや表示内容によって昇圧電圧 V_{OUT} が大きく変動するので、表示モードや表示内容に応じて必要最小限の昇圧倍率となるように、昇圧倍率を変調する必要がある。上記の特許公報によれば、スイッチング周波数の変調には対応しているが、昇圧倍率の変調には対応していない。一方、昇圧倍率の変調はMPUからのソフトウェア制御によっても可能ではあるが、この場合には、表示モードに応じて昇圧倍率を変調することはできても、表示内容に応じて昇圧倍率を変調することはできない。

【0018】また、近年においては、液晶パネルの表示容量が大きくなってきており、液晶駆動用のドライバICにおける消費電流が増加する傾向にある。しかしながら、特に携帯機器では、表示容量が大きくなって消費電力の増加は認められず、むしろ低消費電力化が求めら

6

れている。このような機器においては、表示モードをより細かく制御することにより消費電力を必要最小限に抑えようとしている。

【0019】そこで、上記の点に鑑み、本発明の目的は、液晶パネルの表示モードや表示内容が変化しても、昇圧電圧のマージンを検出することにより消費電力を低減することができるDC-DC昇圧方法及び昇圧回路を提供することである。また、ICにスイッチングコンデンサを内蔵する場合に適した、寄生容量の小さいレイアウト構成を提供することである。

【0020】

【課題を解決するための手段】以上の課題を解決するため、本発明の第1の観点によるDC-DC昇圧方法は、

(a) クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生するステップと、(b) 昇圧電圧を少なくとも1つの所定の電圧と比較するステップと、(c) ステップ(b)における比較結果に基づいて、ステップ(a)において用いるクロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定するステップとを具備する。

【0021】また、本発明の第1の観点による電源回路は、入力電圧が供給され、クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生する昇圧回路と、昇圧回路が発生する昇圧電圧を少なくとも1つの所定の電圧と比較する比較回路と、比較回路の比較結果に基づいて、昇圧回路が用いるクロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定する昇圧クロック調整回路とを具備する。

【0022】さらに、本発明の第2の観点によるDC-DC昇圧方法は、(a) クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生するステップと、(b) 昇圧電圧を用いて、安定化された動作電圧を発生するステップと、(c) 昇圧電圧と動作電圧との間のマージン電圧を検出するステップと、(d) ステップ(c)における検出結果に基づいて、ステップ(a)において用いるクロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定するステップとを具備する。

【0023】また、本発明の第2の観点による電源回路は、入力電圧が供給され、クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生する昇圧回路と、昇圧回路が発生する昇圧電圧を用いて、安定化された動作電圧を発生する電圧調整回路と、昇圧回路が発生する昇圧電圧と電圧調整回路が発生する動作電圧との間のマージン電圧を検出する検出回路と、検出回路の検出結果に基づいて、昇圧回路が用いるクロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定する昇圧クロック調整回路とを具備する。

(5)

7

【0024】ここで、少なくとも1つのスイッチング素子を制御するクロック信号を固定することにより、入力電圧の昇圧倍率を変化させるようにしても良い。

【0025】また、マージン電圧を第1の所定の電圧及び第2の所定の電圧と比較して、マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げ、マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときにクロック信号の周波数を1段階下げ、マージン電圧が第2の所定の電圧よりも小さいときにクロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるようにしても良い。

【0026】さらに、マージン電圧を第1から第3までの所定の電圧と比較して、マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げ、マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときにクロック信号の周波数を1段階下げ、マージン電圧が第2の所定の電圧よりも小さく第3の所定の電圧よりも大きいときに昇圧倍率とクロック信号の周波数とを維持し、マージン電圧が第3の所定の電圧よりも小さいときにクロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるようにしても良い。

【0027】以上の電源回路においては、コンデンサと、複数の抵抗と、昇圧クロック調整回路から出力される複数の制御信号に従って複数の抵抗の接続を変化させる複数のスイッチ回路とを含み、可変周波数のクロック信号を発生して昇圧回路に供給する昇圧クロック発生回路をさらに具備するようにしても良い。

【0028】また、以上の電源回路において、昇圧回路に含まれる、上部電極と下部電極に第1の位相で信号が印加される少なくとも1つのコンデンサと、上部電極と下部電極に第1の位相と逆の第2の位相で信号が印加される少なくとも1つのコンデンサとが、半導体基板内にM×Nの市松状(M、Nは自然数)に配置されるようにしても良い。

【0029】以上の様に構成した本発明によれば、液晶パネルの表示モードや表示内容が変化しても、昇圧電圧のマージンを検出して、クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定することにより、消費電力を低減することができる。

【0030】

【発明の実施の形態】以下、図面に基づいて、本発明の実施の形態について説明する。尚、同一の要素には同一の番号を付して、説明を省略する。

【0031】本発明の第1の実施形態に係る電源回路は、全体としては図1に示すような構成となっている。この電源回路は、高電位側の電源電圧 V_{DD} と低電位側の電源電圧 V_{SS} とが供給されて動作する。なお、これらの電源電圧の内の方がアース電位であっても良い。本実施形態においては、低電位側の電源電圧 V_{SS} がアース電

8

位と等しいとする。

【0032】図1において、昇圧回路10は、高電位側の電源電圧 V_{DD} を昇圧して、昇圧電圧 V_{OUT} を出力する。昇圧電圧 V_{OUT} が供給された電圧調整回路20は、液晶表示装置のための動作電圧 V_{LCD} を作成する。ボルテージフォロワ回路30は、この動作電圧 V_{LCD} を分圧及びバッファして、各機能における負荷に応じた各種の電圧 V_1 、 V_2 、 V_3 、 V_4 を出力する。昇圧回路10と電圧調整回路20の構成及び動作は、それぞれ図14及び図15に示すものと同一でも良い。図14に示す昇圧回路を用いて3倍昇圧を行う場合には、図16に示すような昇圧クロック信号を用いることができる。なお、動作電圧 V_{LCD} を昇圧電圧 V_{OUT} と等しくする場合には、電圧調整回路20は不要である。

【0033】図1に示すように、本実施形態に係る電源回路は、さらに昇圧クロック調整回路40を含んでいる。昇圧クロック調整回路40は、昇圧回路10から昇圧電圧 V_{OUT} が供給され、電圧調整回路20から動作電圧 V_{LCD} が供給されており、これらと比較することにより昇圧回路10に供給される昇圧クロック信号をゲートしたり周波数を変化させる等の調整をして、昇圧回路10の昇圧動作を制御する。なお、動作電圧 V_{LCD} を昇圧電圧 V_{OUT} と等しくする場合には、昇圧クロック調整回路40は、昇圧電圧 V_{OUT} のみに基づいて昇圧クロック信号を調整する。

【0034】図2に、この昇圧クロック調整回路40の構成例を示す。図2に示すように、昇圧クロック調整回路は、PチャネルトランジスタとNチャネルトランジスタとを有するスイッチ回路1～4を含んでいる。スイッチ回路1～4は、互いに逆相の制御クロック信号 ϕ と ϕ バーとに従って開閉する。例えば、スイッチ回路1においては、制御クロック信号 ϕ がハイレベルで制御クロック信号 ϕ バーがローレベルのときにスイッチが閉じ、制御クロック信号 ϕ がローレベルで制御クロック信号 ϕ バーがハイレベルのときにスイッチが開く。

【0035】昇圧電圧 V_{OUT} と動作電圧 V_{LCD} との電位差(実際のマージン電圧)は、スイッチ回路1と2が閉じスイッチ回路3と4が開いたときにコンデンサ5に供給され、コンデンサ5の両端の電位差は、スイッチ回路3と4が閉じスイッチ回路1と2が開いたときにコンデンサ6に供給される。コンデンサ6の両端の電位差 V_C は、コンパレータ7に印加される。コンパレータ7は、この電位差 V_C を所定の電圧 V_{REF} と比較して、比較結果を少なくとも1つのゲート回路8に出力する。なお、電圧を比較するための回路として、コンパレータ7のかわりにA/Dコンバータを使用することも可能である。

【0036】本実施形態においては、ゲート回路8としてOR回路を用いている。また、所定の電圧 V_{REF} を、昇圧電圧 V_{OUT} と動作電圧 V_{LCD} との間の所望のマージン

(6)

9

電圧と等しく設定している。OR回路8は、コンデンサ6の両端の電位差 V_C が所定の電圧 V_{REF} よりも小さい場合に、入力された昇圧クロック信号を出力する。この昇圧クロック信号は、例えば、図14の昇圧回路におけるPチャネルトランジスタ Q_{2p} のゲートに、昇圧クロック信号 CL_{2p} として供給される。電位差 V_C が所定の電圧 V_{REF} よりも大きくなった場合には、OR回路8は、昇圧クロック信号のかわりにハイレベルの信号を昇圧回路に供給する。これにより、昇圧回路の昇圧倍率を変化させ、昇圧電圧 V_{OUT} と動作電圧 V_{LCD} との間の電位差を所望のマージン電圧に近づけることができる。

【0037】図2においては、昇圧電圧 V_{OUT} と動作電圧 V_{LCD} との電位差を、スイッチ回路1~4とコンデンサ5及び6を用いて検出する構成としたが、図3に示すように分圧回路を用いて、昇圧電圧 V_{OUT} を分圧した電圧と、動作電圧 V_{LCD} を分圧した電圧とを比較する構成としても良い。昇圧電圧 V_{OUT} には抵抗 $R_{11} \sim R_{15}$ が接続されており、動作電圧 V_{LCD} には抵抗 $R_{21} \sim R_{25}$ が接続されている。コンパレータ7において、例えば、分圧された電圧 V_{14} と V_{24} とを比較することにより、比較結果を少なくとも1つのゲート回路8に出力する。

【0038】また、図4に示すように、昇圧電圧 V_{OUT} を分圧した電圧を、所定の電圧 V_{REF} と比較する構成としても良い。昇圧電圧 V_{OUT} には抵抗 $R_{11} \sim R_{15}$ が接続されている。コンパレータ7において、例えば、分圧された電圧 V_{14} を所定の電圧 V_{REF} と比較することにより、比較結果を少なくとも1つのゲート回路8に出力する。ここで、昇圧電圧 V_{OUT} を動作電圧 V_{LCD} として用いるようにしても良い。

【0039】図2の電源回路は、昇圧電圧 V_{OUT} と動作電圧 V_{LCD} との電位差（実際のマージン電圧）が一定の値（所望のマージン電圧）となるように制御する。これに対し、図3の電源回路においては、昇圧電圧 V_{OUT} と動作電圧 V_{LCD} との電位差が、昇圧電圧 V_{OUT} 又は動作電圧 V_{LCD} の値によって変化する。また、図4の電源回路は、昇圧電圧 V_{OUT} が一定の値となるように制御する。図3又は図4の電源回路の構成は比較的簡単であるが、分圧回路を抵抗により構成する場合にはチップ面積が多少大きくなり、抵抗を流れる電流によって消費電力も多少増加する。

【0040】次に、本発明の第2の実施形態について説明する。本実施形態においては、図5に示すような昇圧クロック調整回路を使用している。第1の実施形態と異なる点は、コンデンサ6の両端の電位差 V_C が、第1のコンパレータ7と第2のコンパレータ9とに印加されるようにしたことである。第1のコンパレータ7は、この電位差 V_C を第1の所定の電圧 V_{REF1} と比較して、比較結果Aを出力する。また、第2のコンパレータ9は、この電位差 V_C を第2の所定の電圧 V_{REF2} と比較して、比較結果Bを出力する。

10

【0041】本実施形態においては、第2の所定の電圧 V_{REF2} を、昇圧電圧 V_{OUT} と動作電圧 V_{LCD} との間の所望のマージン電圧と等しく設定し、第1の所定の電圧 V_{REF1} を、これよりも大きい電圧（例えば、 $V_{DD} - V_{SS}$ ）に設定している。そして、比較結果Aを昇圧倍率制御フラグとして使用し、比較結果Bを昇圧クロック周波数制御フラグとして使用する。

【0042】図6に、具体的な制御動作を示す。昇圧倍率制御フラグAがハイレベル1の場合には、昇圧倍率を1段階下げる。昇圧倍率制御フラグAがローレベル0で昇圧クロック周波数制御フラグBがハイレベル1の場合には、昇圧クロック周波数を1段階下げる。昇圧倍率制御フラグAと昇圧クロック周波数制御フラグBがともにローレベル0の場合には、昇圧クロック周波数を1段階上げる。ただし、昇圧クロック周波数が最大値であれば、昇圧倍率を1段階上げる。

【0043】ここで、昇圧倍率の制御は、第1の実施形態と同様にして行うことができる。また、昇圧クロック周波数の制御は、図7に示す昇圧クロック発生回路を制御することにより行う。または、高い発振周波数が必要となるが、分周回路の分周比を変えることにより行うこともできる。

【0044】図7において、昇圧クロック発生回路は、直列接続されたインバータ51と52を含む。インバータ52の出力は、コンデンサ54を介して、インバータ51の入力に正帰還されている。また、インバータ52の出力は、インバータ53と直列接続された抵抗 $R_1 \sim R_8$ とを介して、インバータ51の入力に負帰還されている。以上の構成により、CR発振器が形成される。抵抗 $R_1 \sim R_7$ の一部を短絡するためにスイッチ回路 $S_1 \sim S_7$ が接続されており、これらのスイッチ回路の状態によってCR発振器の発振周波数を変更できる。図8に、スイッチ回路の具体的な回路例を示す。

【0045】ここで、スイッチ回路 S_4 に供給される制御信号 EN_0 のみがアクティブである状態が標準であるとする。この状態においては、スイッチ回路 S_4 により抵抗 $R_1 \sim R_4$ がショートされて、発振周波数が標準値となっている。ここで、スイッチ回路 S_7 に供給される制御信号 EN_{3p} がアクティブになると、スイッチ回路 S_7 により抵抗 $R_1 \sim R_7$ がショートされて、発振周波数が最大値となる。一方、どの制御信号もアクティブでなくなると、いずれの抵抗もショートされず、発振周波数が最小値となる。

【0046】次に、本発明の第3の実施形態について説明する。本実施形態においては、図2に示すコンデンサ6の両端の電位差 V_C を、図9に示すコンパレータ7において、3種類の所定の電圧 V_{REF1} 、 V_{REF2} 、 V_{REF3} と時分割で比較する。ここで、例えば、 $V_{REF1} = V_{DD} - V_{SS}$ とし、 $V_{REF1} > V_{REF2} > (\text{所望のマージン電圧}) > V_{REF3}$ とする。コンパレータ7の出力をシリア

(7)

11

ル/パラレル変換することにより、それぞれの比較結果としてフラグA、B、Cを得ている。

【0047】3種類の所定の電圧を切り換えるために、図8に示すのと同様なスイッチ回路S11、S12、S13を用いている。また、コンパレータ7の出力をシリアル/パラレル変換するために、フリップフロップ61～64を用いている。これらのスイッチ回路及びフリップフロップには、図10に示すような制御クロック信号 $\phi_2 \sim \phi_6$ が供給される。

【0048】フラグAとBはNOR回路65の入力に供給され、比較結果CはNOR回路65の反転入力に供給される。NOR回路65の出力は、ロード・イネーブル付きアップダウンカウンタ66のイネーブル反転入力に供給される。アップダウンカウンタ66は、制御クロック信号 ϕ_6 が供給されて動作する。フラグAとBがローレベル0でフラグCがハイレベル1のときには、アップダウンカウンタ66がカウント動作を停止するので、昇圧倍率及び昇圧クロック周波数が維持される。

【0049】アップダウンカウンタ66のそれぞれのカウント出力には、インバータ67～70が接続されている。AND回路71、72、…は、アップダウンカウンタ66のカウント出力及び反転されたインバータ出力を用いて、図7に示すような昇圧クロック発生回路に供給するための昇圧クロック周波数制御信号 EN_{3M} 、 EN_{2M} 、…を発生する。

【0050】一方、フラグAと制御クロック信号 ϕ_6 はAND回路73の入力に供給され、フラグCとアップダウンカウンタ66のキャリー出力はAND回路74の反転入力に供給される。AND回路73と74の出力はNOR回路75の入力に供給され、NOR回路75の出力はロード付きアップダウンカウンタ76のクロック入力に供給される。

【0051】アップダウンカウンタ76のそれぞれのカウント出力には、インバータ77と78が接続されている。AND回路79～81は、アップダウンカウンタ76のカウント出力及び反転されたインバータ出力を用いて、図14に示すような昇圧回路に供給する昇圧クロック信号をゲートするための昇圧倍率制御信号 $X1 \sim X3$ を発生する。

【0052】図11に、具体的な制御動作を示す。フラグA、B、Cがハイレベル1の場合には、昇圧倍率を1段階下げる。フラグAがローレベル0でフラグBとCがハイレベル1の場合には、昇圧クロック周波数を1段階下げる。フラグAとBがローレベル0でフラグCがハイレベル1の場合には、現状を維持する。フラグA、B、Cがローレベル0であれば昇圧クロック周波数を1段階上げる。ただし、昇圧クロック周波数が最大値であれば、昇圧倍率を1段階上げる。

【0053】次に、本発明に係る電源回路に含まれる昇圧回路において使用するコンデンサの形成に関する一実

12

施形態について説明する。図17の(a)(b)を参照して説明したように、半導体基板に形成されたコンデンサには、下部電極と半導体基板との間に寄生容量 C_S が存在する。

【0054】本実施形態によるコンデンサは、このような寄生容量を等価的に低減させるものである。図12に示すように、半導体基板にコンデンサを形成するに際し、コンデンサを細分化して形成する。このように細分化されたコンデンサを、互いに逆相で動作するM個の第1群のコンデンサ C_A とN個の第2群のコンデンサ C_B に分けて(M、Nは自然数)、市松状に配置する。

【0055】コンデンサを細分化して逆相で動作させることにより、コンデンサに電流が流れることによって発生する半導体基板内の電位は打ち消される。その結果、細分化された寄生容量の和 $C_S \cdot M$ と $C_S \cdot N$ とが直列接続されたのと等価になる。従って、等価的な寄生容量は、 $C_S \cdot M \cdot N / (M + N)$ になる。ここで、 $M = N$ とすると、等価的な寄生容量は、 $C_S \cdot N / 2$ である。即ち、通常のように寄生容量が並列接続される場合と比較して、 $1/2$ に減少する。さらに、図14に示すような昇圧回路において、逆相で動作するトランジスタ同士を隣接させると、トランジスタの寄生容量を低減することができる。

【0056】

【発明の効果】以上述べた様に、本発明によれば、液晶パネルの表示モードが変化しても、昇圧電圧のマーヅンを検出して、クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御するクロック信号を固定することにより、消費電力を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る電源回路のブロック図である。

【図2】本発明の第1の実施形態に係る電源回路における昇圧クロック調整回路の構成例を示す回路図である。

【図3】本発明の第1の実施形態に係る電源回路における昇圧クロック調整回路の他の構成例を示す回路図である。

【図4】本発明の第1の実施形態に係る電源回路における昇圧クロック調整回路のさらに他の構成例を示す回路図である。

【図5】本発明の第2の実施形態に係る電源回路における昇圧クロック調整回路の構成例を示す回路図である。

【図6】本発明の第2の実施形態に係る電源回路の制御動作を示す図である。

【図7】本発明の第2の実施形態に係る電源回路における昇圧クロック発生回路の構成例を示す回路図である。

【図8】図7の昇圧クロック発生回路におけるスイッチ回路の構成例を示す回路図である。

【図9】本発明の第3の実施形態に係る電源回路にお

(8)

13

る昇圧クロック調整回路の構成例を示す回路図である。

【図10】図9の昇圧クロック調整回路に入力される制御クロック信号の波形を示す図である。

【図11】本発明の第3の実施形態に係る電源回路の制御動作を示す図である。

【図12】本発明に係る電源回路において使用するコンデンサの形成に関する一実施形態を示す図である。

【図13】液晶駆動用のドライバICにおける一般的な電源回路の構成を示すブロック図である。

【図14】図13の電源回路における昇圧回路の構成例を示す回路図である。

【図15】図13の電源回路における電圧調整回路の構成例を示す回路図である。

【図16】3倍昇圧の場合に図14の昇圧回路に入力されるクロック信号の波形を示す図である。

【図17】ICに内蔵されるコンデンサに発生する寄生容量を示す図である。

【符号の説明】

1～4、S1～S13 スイッチ回路

14

5、6、54、C1、C2、CA、CB コンデンサ

7、9 コンパレータ

8 ゲート回路

10 昇圧回路

20 電圧調整回路

30 ボルテージフォロワ回路

40 昇圧クロック調整回路

51～53、67～70、77、78 インバータ

61～64 フリップフロップ

65、75 NOR回路

66、76 アップダウンカウンタ

71～74、79～81 AND回路

R1～R25 抵抗

Q1～Q5 トランジスタ

φ、φ2～φ6 制御クロック信号

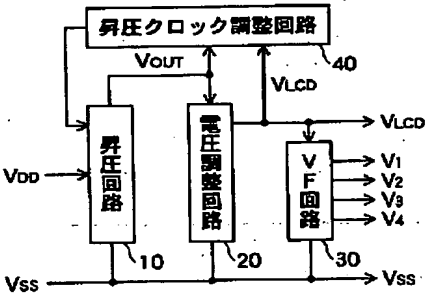
CL1～CL5 昇圧クロック信号

VDD、VSS 電源電圧

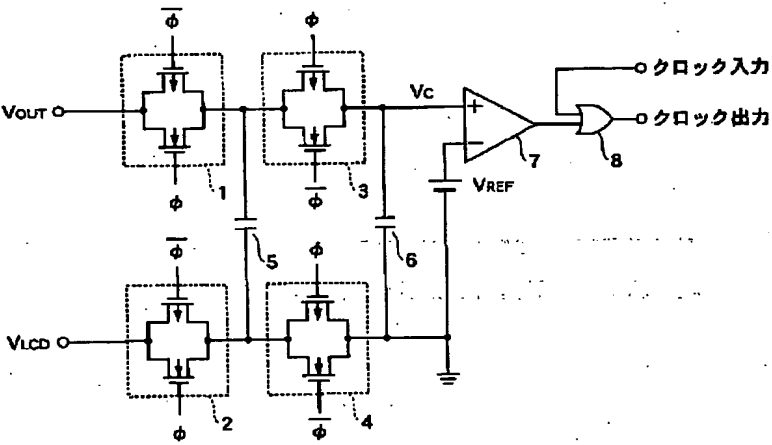
VOUT 昇圧電圧

VLCD 動作電圧

【図1】



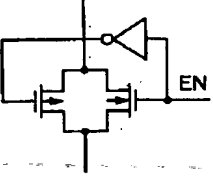
【図2】



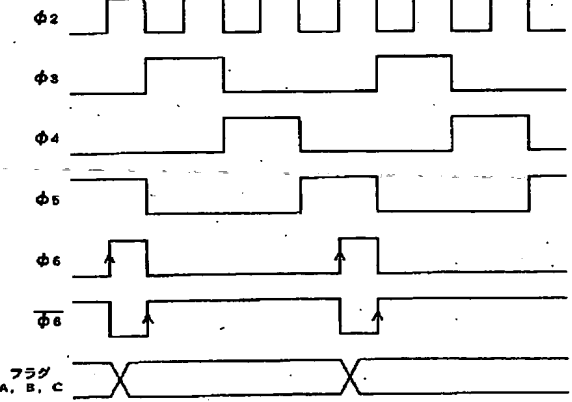
【図6】

A	B	制御動作
1	1	昇圧倍率を1段階下げる。
1	0	昇圧クロック周波数を1段階下げる。
0	1	昇圧クロック周波数を1段階上げる。
0	0	昇圧クロック周波数を1段階上げる。該周波数が最大値なら昇圧倍率を1段階上げる。

【図8】

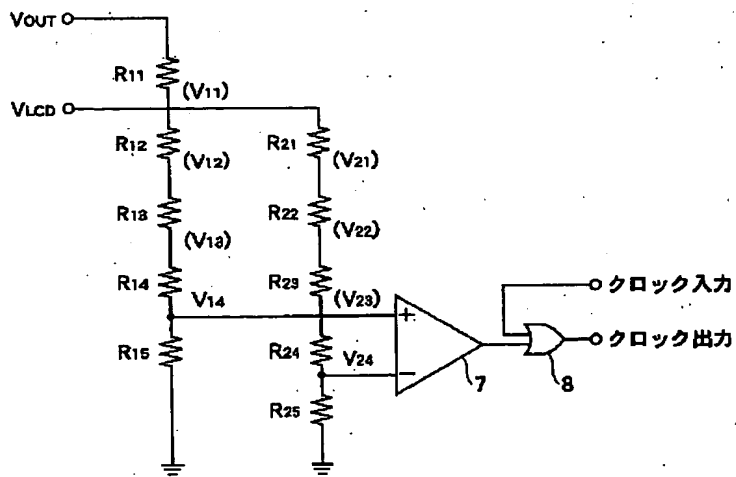


【図10】

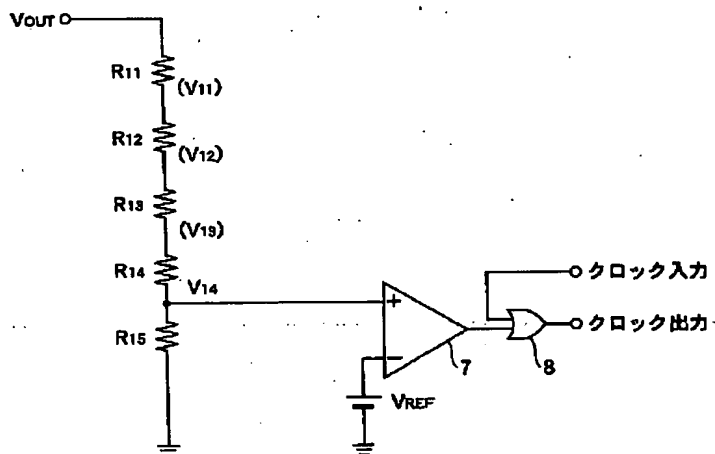


(9)

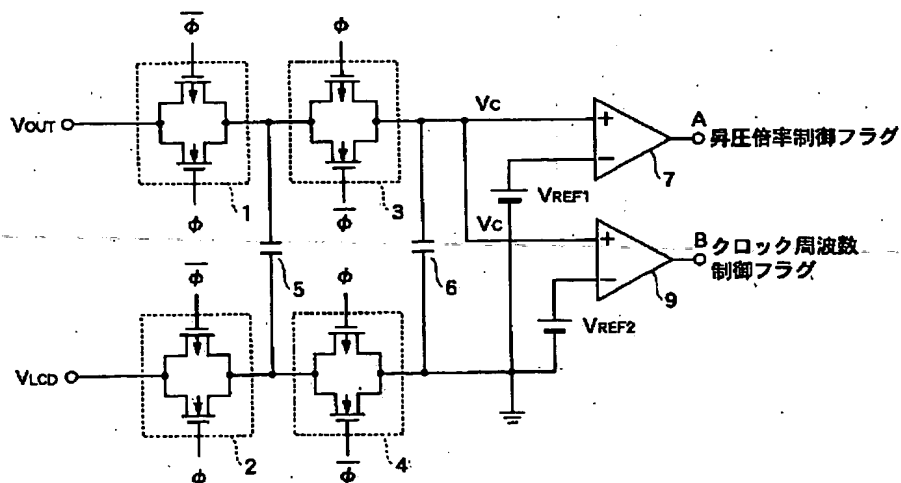
【図 3】



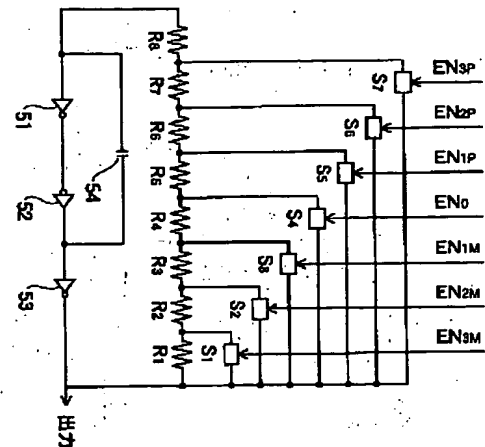
【図 4】



【図 5】



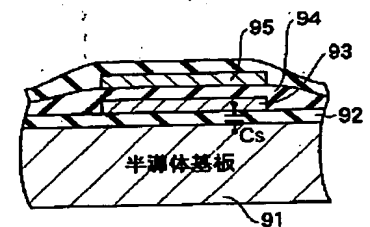
【図 7】



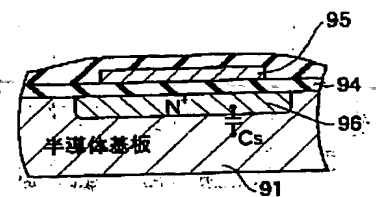
【図 11】

A	B	C	制御動作
1	1	1	昇圧倍率を1段階下げる。
0	1	1	昇圧クロック周波数を1段階下げる。
0	0	1	現状を維持する。
0	0	0	昇圧クロック周波数を1段階上げる。 該周波数が最大値なら昇圧倍率を1段階上げる。

【図 17】



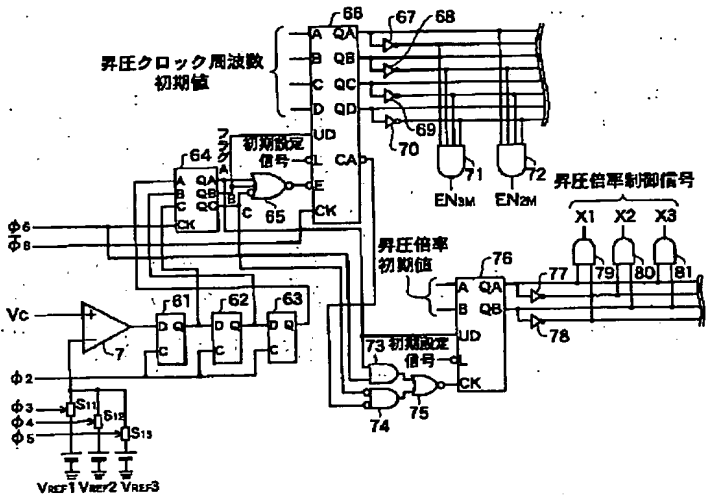
(a)



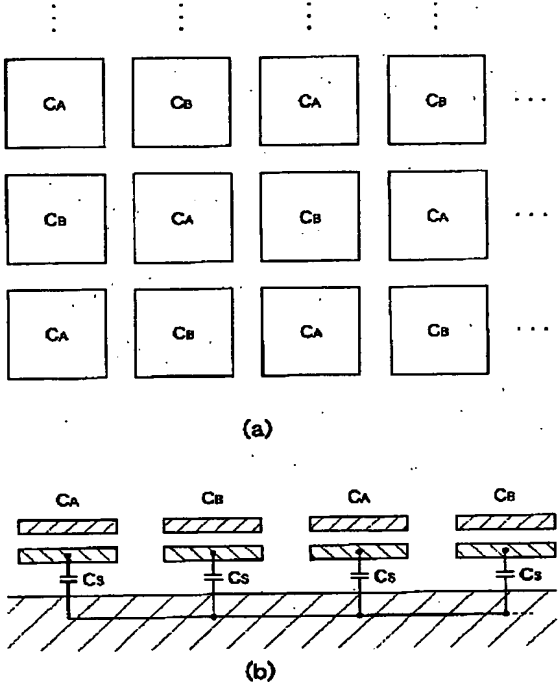
(b)

(10)

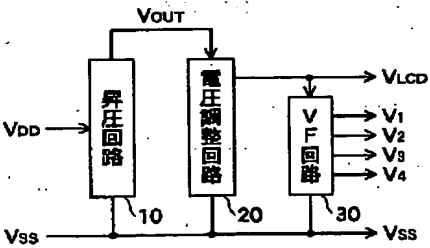
【図 9】



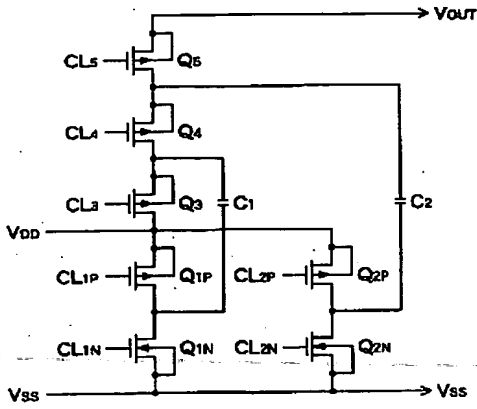
【図 12】



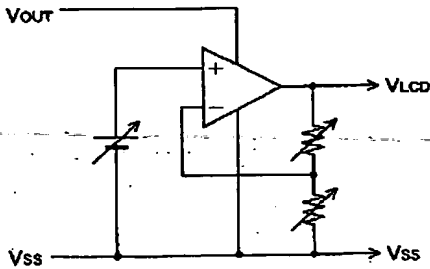
【図 13】



【図 14】



【図 15】



(11)

【図16】

